This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problems Mailbox.

CLIPPEDIMAGE= JP406283639A

PAT-NO: JP406283639A

DOCUMENT-IDENTIFIER: JP 06283639 A

TITLE: HYBRID INTEGRATED CIRCUIT

PUBN-DATE: October 7, 1994

INVENTOR-INFORMATION:
NAME
OTA, SUSUMU
OKAWA, KATSUMI
SAKAMOTO, NORIAKI

ASSIGNEE-INFORMATION:

NAME

SANYO ELECTRIC CO LTD

COUNTRY N/A

APPL-NO: JP05066741

APPL-DATE: March 25, 1993

INT-CL (IPC): H01L023/48; H01L025/07; H01L025/18

ABSTRACT:

PURPOSE: To shorten the lengths of wires as much as possible by mounting one copper plate to which a power element is firmly fixed on a substrate and arranging other copper plates upon the one copper plate in a separating state.

CONSTITUTION: After forming an inverter circuit on a metallic substrate 1 with an insulating layer 2 in between, a first power supply line, second power supply line, and output line for supplying current to a load are respectively formed of first, second, and third copper plates 4, 5, and 6A. A source- and sink-side switching elements 7 and 8 are firmly fixed onto the first and third

03/04/2003, EAST Version: 1.03.0002

copper plates 4 and 6A, respectively. An external lead terminal is formed by bending part of the copper plate 6A. The first and third copper plates 4 and 6A are firmly fixed onto the substrate 1 and the second copper plate 5 is positioned at a distance from the surface of the substrate 1. Therefore, the occurrence of current losses at the external lead terminal fixing section can be suppressed and, at the same time, the size of this power hybrid integrated circuit can be reduced.

COPYRIGHT: (C) 1994, JPO

JP-A-6-283639

Hybrid IC

[Detailed Explanation of the Invention]

[Embodiments]

5 [0021]

20

25

The subject matter of the present invention is to directly fix both the first and third copper plates (4) and (6) on which switching elements are provided on a substrate (1) and to locate the second copper plate (5) 10 on which switching element is not provided, in a position away from the substrate (1) surface. In other words, the second copper plate (5) is located away from and overlapped on the third copper plate (6) connected with Specifically, the second the second copper plate. copper plate (5) is supported by a case member (10), 15 which is described later, and when the substrate (1) and case member (10) are integrated, the second copper plate (5) is located so as to overlap a part of the third copper plate (6). When the second copper plate (5) is located away from the third copper plate (6), the second copper plate and the switching element on the third copper plate (6) are connected with a wire. attention must be paid so that the second copper plate (5) and the switching element on the third copper plate (6) may not be entirely overlapped. In the drawings,

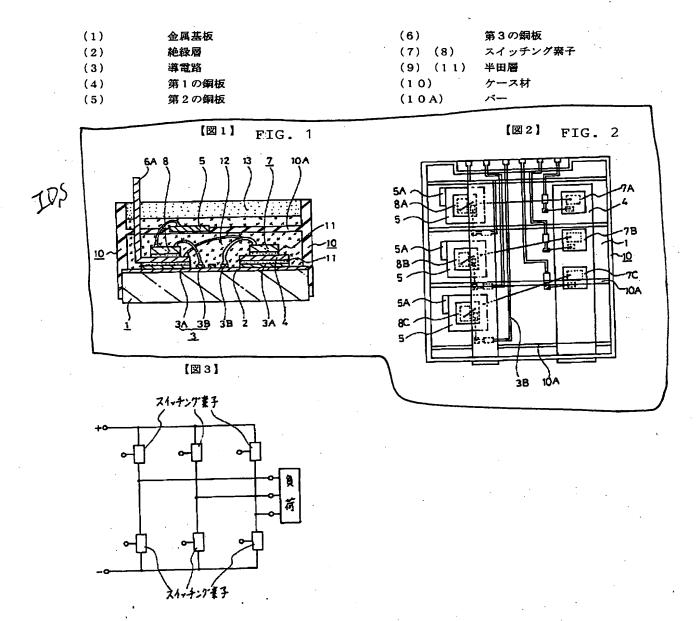
it looks that the second and third copper plates (5) and (6) are fairly away from each other, actually the distance between the second and third copper plates (5) and (6) is approximately 2 to 5 mm.

5

[Brief Description of the Drawings]

[Explanation of the Codes]

- (1) Metal substrate
- (2) Insulator layer
- 10 (3) Conductive path
 - (4) First copper plate
 - (5) Second copper plate
 - (6) Third copper plate
 - (7) & (8) Switching elements
- 15 (9) & (11) Solder layer
 - (10) Case member
 - (10A) Bar



(43)公開日 平成6年(1994)10月7日

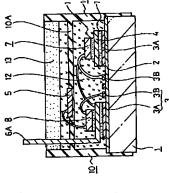
技術表示箇所		
***		v
1 4		H01L 25/04
数别記号		
中田田田	٠.	٠
87/86	25/07	
(51) Int CL*	:	

	,	猪鱼髓状	審査請求 未請求 群求項の数2 OL (全5頁)
(21)出现番号	特 與平5—66741	(71)出題人 00001889	000001889
			三洋電機株式会社
日曜年(22)	平成5年(1993)3月25日		大阪府守口市京阪本通2丁目5番5号
		(72)発明者	太田 習
			大阪府守口市京阪本通2丁目18番地 三洋
			電機株式会社内
		(72)発明者	大川 克突
			大阪府守口市京阪本通2丁目18番地 三洋
			旺藤株式会社内
		(72)発明者	坂本 即明
			大阪府守口市京阪本通2丁目18番地 三洋
			缸煅株式会社内
		(4)代理人	(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 記成集積回路

(57) [要約]

【目的】 外部リード端子の固着部分における電流損失 を抑制し、且つパワー選政集積回路のサイズを小型化に ナス。 「構成】 金属基板(1)上に稳線圏(2)を介してインバータ回路が形成され、インバータ回路を構成する第 1電放ラインに第1の鋼板(4)、第2電放ラインは第 2の鋼板(5)、負荷に接続され出っ端流を供給する出力ラインは第3の鋼板(6)で形成され、第1の鋼板(4)上にはソース側のスイッチング素子(7)が、第3の扇板(6)上にはソーンク側のスイッチング素子(8)が固複され、少なくとも第3の扇板(6)の一部を折曲げて杯削り下端子(6A)とし採用した磁成線側回路であって、第12まび第3部の銅板(4)(6)を基板(1)上に固結、第2の鋼板(5)を基板(1)表面と離間した位置に配置する。



【特許請求の衛囲】

「胡水項」】 金属基板上に絶縁層を介して固堵された 放数の一の編板上にパワー半導体素子を固着し即配基板 とケース材が一体化された連続集種回路において、前記 一の編板は前記基板上に直接固着され、前記一の編板以 外の他の編板は前記五人工に直接固着され、前記一の編板以 かの他の編板は前記ケース材に支持され且の前記基板表 面と離回すると共に前記一の編板と取母する位置に配置されたことを特徴とする提成集積回路。

[発明の詳細な説明] [0001]

「産業上の利用分野】本発明は、混成集積回路に関し、 特にインバータ回路等のパワー回路を実装した大電流用 の混成集積回路に関する。

[0002]

【従来の技術】従来、促成集積回路としては、セラミッ セラミックス基板上に形成される回路パターンは資金属 ペーストによって形成されるためにそのシート抵抗が大 きいことおよびセラミックス基板の熱伝導性の悪いこと から大電流タイプの混成集積回路としては不向きとなっ **蜀を介して形成された倒箔パターン上にパワー回路を構** 成する部品が実装されている。 すなわち、パワー回路部 品は銅等の金属片(ヒートシンク)上に実装されて基板 用の外部リード端子は基板上の所定位置に半田付けされ る構造となっている。かかる、大電流用の混成集額回路 **-25554号公報および特開昭64-5092号公報** 板、例えばアルミニウム、銅ベースの基板上に絶験樹脂 上に実装され、外部回路と接続するための複数のパワー としては特別昭63-302530号公報、特開昭64 クス基板をベースにしたものが多く使用されてきたが、 ており、近年の大電流タイプの混成集積回路は金属基 に記載されている。

[0003] 「発明が解決しようとする問題」従来傳造の大電流用退 は集積回路では上記したように外部回路と接続するため の各リード端子が半田圏を介して基板上に固着される構 値であるため、以下の不具合がある。すなわち、 ①半田圏自体の電気抵抗値が大きいために電流損失を起 【0004】◎電流出力径路の導電路上に半田層を介し

、発熱量が増加する。

特開平6-283639

3

て外部リード端子が固着される場合、半田窟技術が酸化したとき経時変化に伴って半田屋が劣化し、信頼性面で着しく低下するという問題があった。

○出板上に各リード端子を半田園券するための専用のランド (パッド)を形成しなければならず基板サイズを小型化する場合の弊害となり、大電流用の混成集積回路自体のサイズを小型化にすることができない。 [0005]また、基板上にインバーダ回路を構成した場合には、スイッチング素子のエミックあるいはソース

報告には、アングンが100mであります。 電極と周辺の単体パケーンを投続するリイト配線が長くなり、セイマ自体の抵抗およびインダランスに対してカテンが カイスが増加し、スイッチング素子の顕動作を誘発する おそれがあった。 「0006」かかる不具合を解決するためには、スイッ チング楽干のスイッチング デング楽子のことで解除する できるが、その反面スイッチングネ子の広答性が低下 するという新たな問題がある。本発明は上述した課題に するという新たな問題がある。本発明は上述した課題に

チングランス・フェンコンスロードを超くすることで解 チングランス・クチングスピードを超くすることで解 決できるが、その反面スイッチングチンの存在が低 するという参たな問題がある。本発明は上述した課題に 鑑みてなされたものでこの発明の目的は、外部リード層 子の固尊部分における程流積失を抑制し、且 つバワー用 の退成集積回路のサイズを極めて小型化にしば類性を向 上させた混成集積回路を提供することを目的とする。 [0007]

【韓昭を解決するための手段】上述した陳昭を解決し、 目的を違成するため、この発明に係わる第1の怨成類領 回路は、金属基板上に他験階を介して困ぎされた複数の の解佐上にパワー半導体剥予を固着し前記基板とケー オ材が一体にされた湿成集領回路の一の解板は基板上に 直接固着され、一の解版以外の他の解版はケース材に支 符され且つ基板変面と離間すると共に一の解版と確史す 合位置に配置されたことを特徴としている。

【0008】また、この発明に係わる第2の混成集積回路は、金属基板上に絶検層を介して回路が形成され、インバーク回路を構成する第1電階ラインは第1の解板、発電機等が1型の形成を供給する出力ラインは第3の解板で形成され、第1の網板上にはソンク側のスイッテング素子が第3の解板上にはソンク側のスイッチング素子が第3の解板上にはシンク側のスイッチング素子が第3の解板上にはシンク側のスイッチング素子が第3の解板上にはアンク側のスイッチング素子が第3と解して、が1ので、第1および第3の解板を基板上に固着し、第2の編板を基板表面と離間した位置に配置して、そを特徴としている。

【作用】以上のように構成される温成集的回路において は、パワー半単体券子が固着された一の解板を基板上に 直接実装し、パワー半導体券子が固着された。他の網板 を基板表面と離削させ且つ一の網板と重畳する位置に配 置することにより、一の網板上に固符された半導体券子 と他の編板とを接続するワイヤ配線の長さを最短で接板 することができる。

[0010]また、パワー半等体験イが回着された解散 いより、外部リード端イとして専用するによ により、外部リード端イのの単田出着を不受とするこ それできる。その結果、ジード端(つ・田田による鑑賞 相欠を抑制することができる。また、リード端イを国 者をも用のフンド(パッパ)を高数上に形成する回彙 ないことおよび機敏が中学に図書するを表現する必要が ないことおよび機敏が中学に位置するの表現するを表現

[0011] 末た、半田校様点数が減り、信頼年を向上コントしよるもと

させることができる。 [0012] [10012] [10012] (10012] (1002] ([0013]図1および図2に示す如く、本名均の混成業種回路は、金属基板 (1)と、その基板 (1)上に絶験面(2)を介して形成された導電路 (3)と、その導電路 (3)の所定位属に図着された第1の鋼板 (4)、第2の鋼板 (5)および第3の鋼板 (6)と、第1および第3の鋼板 (4) (6)上に出着されたメイッチング系・(7)(8)と、ケース材 (10)とから構成されるが (7)(8)と、ケース材 (10)とから構成され

[0014] 金属本版(1) は、放熱特性および加工性を考慮して約2~5mm犀のアルミコウム素数あるいは 始板板が使用される。その発出板(1) は所定サイズ かびインされる。アルミコウム機関の高が形成する前かるいに後に予定して、その第2インスやカン。アルミコウム機関の機が作いと、その第3板の共同に、少ケルあいにフロムメッキが行われる西板のが行われている。「0015年の最本版(1)の一十面上には、元本シカるいはポリイミド部階等の接着性を右する機能化粧結模が開発と対して、100年には、中間には、元本シカるいはポリイミド部階等の接着性を右する機能化粧結模が開発とのファッドが、2018ので、1 サガナンテメートル当り50~100Kgの出力でポットプンスされる。前記クラッ

上の創宿をホトエッチング等して所知形状の韓国路 (3) が形成される。 (00.16) 金属基礎 (1) 上に形成される神風路 (00.16) 年のマー・シー・シー・シー・シー・シー・シー・シー・シー・

ド材を基板(1) 二にホットプンスすることにより前記

熱硬化性樹脂が絶縁層(2)となり、その絶縁層(2)

(3) は、図3にホしたインバーク回路を構成するように、例えば図1および図2に示すがく、第1および報3の額版(4)(6)を固着するための尋ね路(3A)と複数本の信号用の編集路(3B)が形成される。河、本級明では外部リード指子を回着するための毎用のシンド(パッド)は形成されていない、時電路(3A)上にはスクリーン印刷により回到したソルダーペーストが付着されて平田局(9)が形成される。その半田圏(9)上

12年14よび第3の億枚(4)(6)が機関されて半田ジンコー工程によりンルダーペーストを溶散し時電路(3A)と各盤板(4)(6)を固維模板であ。

[0017] 図3に示したインバータ山路の第1電源ライン (図えばV&ライン) は第1の額数 (4)、第2軌間シイン (図えばアースウイン) は第2の鋼数 (5) お気・イン (図えばアースウイン) は第2の鋼数 (5) および亀流を供給する出力ウインは第3の鑑数 (6) により形成されている。第1~第3の強数 (4) (5)

(6) は約50~300Aの人電流に対応できるように する必要からその厚みは約1~5mm程度の内厚を有し [0018] 第1の匈板 (4) 上にだインペータ回路のソース個のスイッチング表 (74) (78) (7C) 水半田屋 (11) によって出着されている。それらソース国のメインにより、指して、(78) (77) に第1の種類・インにより、生活技術された。第1の種類(4) 冬井道と、、第1の種類(4) 冬井道と、、第1の種数(4) 冬井道と、、第1の種板(4) くればし、第1の種板(4) くればし、第1の種板(4) くれが大多しばれて第1の種板(4) くれが大多に大多になれて第1の種板(4) ベッテング製土を回着することも、単低さめる。

[0019]金属基板(1)を輸集板とした場合には、第1の線板(4)を共通使用し、アルミニウム基板とした場合には、第1の線板(4)を共通使用するアルミニケムと値との熱態要機板(4)を小部位用するアルミニケムと値との熱態要機能の充が大きいためにアルミニケム系域に及りが生じるおそれがあるために第1の鋼板(4)を各スイッチング素子の数だけ分割するのが好ました。

[0020] 一方、第3の瘤故(6)上にに、インパーク回路のシンク側のスイッチング素イ(8A)(8B)(8C)が半田扇(11)を介して図書きれている。第3の編故(6)はシンク幅のスイッチング基イ(8A)(8B)(8C)で図表はなして製団に分型されている。第1および第3の鍵故(4)(6)上に半田扇(11)4かして図書されたスイッチング数イ(7C)(8A)~(8C)はパワートランジスタ、パリーMOSFET、あるいに1GBT等の入場がイソク半導体スイッチング表イが用いられている。

[0022] ところで、第3の解故(6)の一部分に外 特国路と接種するための外部リード踏子(6A)として 株田されている。すなわち、第3の解故(6)の一部分 今上面方向に路90°の角度でが曲げ加工し、貯曲げ加 上された先路間を外形リー、踏子(6A)として用い、 ヒートシンクとなる難故(6)と外部リード(6A)と 今様用させることができる。第3の解故(6)の外部: 一下踏 (6A)は後述するケース材の上面部よりも別 リロテなうに塩在され、本実施的では上述したように移 リロッカストに塩在され、本実施的では上述したように称 り0°の角度で折曲げ加工されるが、外部回路との接続 状態に応じてその角度に指述しまさにまる。 10023]第3の解放(6)の一部分が単ば加工し その先端部条外部リード指介(6A)として株田するこ とにより、外部リード指介(6A)として株田するこ

(1)上に形成する必要がないため基核 (1)のサイズを小型化にすることができる。また、外部リード指子専用の国籍パッドが無くなるのに伴いリード端 f を固着するための専用の単田層が無くなるために半田層による出力配置の祖失を抑制することができ情報性の向上に言すすることができる。

【0025】ケース材(10)は基板(1)の固糖因と略一枚するようにエポキシ米あるいはシリコン米の技権倒によって図着一体化される。金属米板(1)とケース材(10)を一体化した後、図3にボレバインバーケ回 地にボルッでワイヤで存職校3よびメイッチング報子が投稿される。具体的には、ソース側のスイッチング報子が投稿される。178)(72)のイーで放成され、イのスイッチング報イ(78)(78)(78)(78)(78)であるいはゾース組織は北、シクあるいはブース組織は第3の編版(6)とAIワイヤで放成されている。また、シンク回のスイッチング報子が対数されている。また、シンク回のスイッチング報

チ (8.A) (8.B) (8.C) のペースあるいはゲート電 施は小伯号用の再鑑路 (3.B) とA.I ワイヤで接続され、そのメイッナング森子 (8.A) (8.B) (8.C) のコミックあるいはソース電荷は第3の海版 (6) 上に重量配置された第2の編版 (5) と投続される。

[0026]シンツの回のスイッチング器ナ(TA) (7B) (7C)のエミックあるいはソース総配と第2の題版 (5) キソノイヤでボンディング総計も際、第2の館版 (5) ヒハイナでボンディング総計を取っての知知であることおよび事成 国家もれていることになる。ボンディング時のフィヤ 成型の長さにはほるさいとになる。ボンディング時においるためがあるのにあっているである。ボンディング時に対している、ボンディング時に対しているが、ボンディング語を用いても向んら支援はない。

[0027]を磐板(4)~(6)となスイッチング報 「7A)~(7C)(8A)~(8C)をワイヤで相 丘坂都に次、ケース村(10)内に囲まれたの面積 内にシリコングル(12)およびよれ年ン芸語(13) や顔水道はインバーク回路に必要な布部におよび発 や低高する、本製館のではインバータ回路の出力盤子は 中が方のに周出版をはインバーが一路の出力盤子は 一スラインの第1および第2の機成(4)(1)に基 (1)の一周猫辺に塩化をは高によれたがよび ースラインの第1および第2の機成(4)に対応 (1)の一周猫辺に塩化されたがあが、12は成 (1)の一周猫辺に塩化されたがあが、12は成 米るように設計されている。

[0028]

【発用の効果】以上に詳述した的く、本発用に依れば、パワー半導体器十(スイッチング器十)が回着された一の郵放を基板上に直接交換し、パワー半導体器十が回着されない他の鋼板を基板設面と維固させれる一の網板上に固算された半導体系斗と他の鋼板とを接続するアイ・世線の反きを最低で接続することができる。その結果、ワイヤ配線の低抗さまびインタクソン成分を最小限にすることができる。その結果、ワイヤ配線の低抗さまびインタクソンス成分を最小限にすることができスイッチングスインをフィッチング表十の関地作のない「首性を優れた説成集団国路を設ますることができスイッチング表十の

とができる。 「0029]また、本発明に依わば、パワー半項体数子 が国着された値数の一部分を折曲げて外部リード塩子と バエ採用することにより、外部リード路子のの平田団 者を不奨とすることができる。その結果、リード路子の 中国による電流損失を抑制することができ、発熱量を 体減できる。さらに、本色別に依わば、解散の一部が中 を注配表されるために描めて小規化のパワー間が集 回路を提供することができる。

|図面の簡単な説明]

|12回ンmm+4kk31| |図1||本発明の選及集積回路の断面図である。 |図2||本発明の選及集積回路の平面図である。

【図3】 インパーク回路図である。 【符号の説明】

